

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-282168

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/30
G09G 3/36
H03M 1/74

(21)Application number : 2000-096964

(71)Applicant : SONY CORP

(22)Date of filing : 31.03.2000

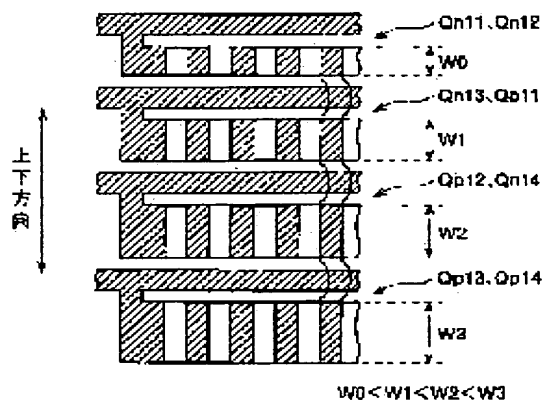
(72)Inventor : KIDA YOSHITOSHI
NAKAJIMA YOSHIHARU
MAEKAWA TOSHIICHI

(54) DIGITAL ANALOG CONVERTING CIRCUIT AND DISPLAY DEVICE MOUNTED WITH THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that, in a reference voltage selection type D/A conversion circuit, since a switching part positioned between a reference voltage line supplying a reference voltage for the number of gradations and a column line of a pixel part occupies a large area, the switching part becomes a hindrance to narrowing of the frame part of an LCD panel.

SOLUTION: In a reference voltage selection type D/A conversion circuit, weighting is performed to channel widths W of respective transistors of MOS switches constituting respective gradation selecting units 41-0 to 41-3 in accordance with a gradation to be selected. Specifically, when the channel width of MOS switches Qn11, Qn12, the channel width of MOS switches Qn13, Qp11, the channel width of MOS switches Qp12, Qn14, the channel width of MOS switches Qp13, Qp14 are defined respectively as W_0 , W_1 , W_2 and W_3 , the channel width W_3 is set in conformity with the maximum capacity of the column line and other channel widths W_0 , W_1 , W_2 are set so as to satisfy the relation of $W_0 < W_1 < W_2 < W_3$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-282168

(P2001-282168A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 E 2 H 0 9 3
	6 2 3		6 2 3 F 5 C 0 0 6
	6 4 1		6 4 1 C 5 C 0 8 0
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 J 0 2 2
G 0 9 G 3/30		G 0 9 G 3/30	K
審査請求 未請求 請求項の数30 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2000-96964(P2000-96964)

(22) 出願日 平成12年3月31日 (2000. 3. 31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 木田 芳利

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

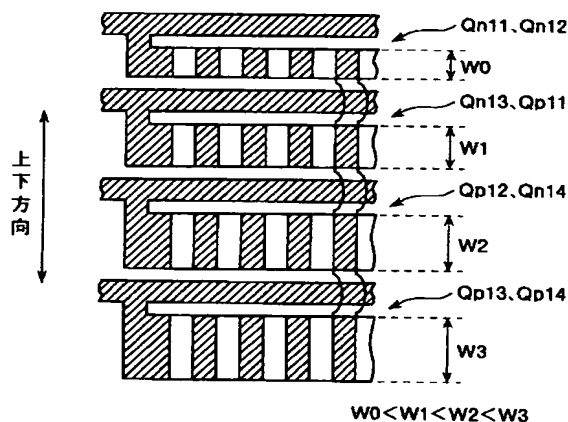
最終頁に続く

(54) 【発明の名称】 デジタルアナログ変換回路およびこれを搭載した表示装置

(57) 【要約】

【課題】 基準電圧選択型のDA変換回路では、階調数分の基準電圧を供給する基準電圧線と画素部のコラム線との間に位置するスイッチ部分が大きな面積を占めているため、LCDパネルの狭額縁化の妨げとなっている。

【解決手段】 基準電圧選択型のDA変換回路において、各階調選択ユニット41-0~41-3を構成するMOSスイッチの各トランジスタのチャンネル幅Wに、選択される階調に応じて重み付けを行う。具体的には、MOSスイッチQn11、Qn12のチャンネル幅をW0、MOSスイッチQn13、Qp11のチャンネル幅をW1、MOSスイッチQp12、Qn14のチャンネル幅をW2、MOSスイッチQp13、Qp14のチャンネル幅をW3とした場合に、チャンネル幅W3をコラム線の最大容量に合わせて設定し、他のチャンネル幅W0、W1、W2をW0<W1<W2<W3の関係を満足するように設定する。



【特許請求の範囲】

【請求項1】 n ビット (n は2以上の整数)のデジタルデータに対応して2°個の基準電圧を発生する基準電圧発生手段と、

前記基準電圧発生手段から出力される2°個の基準電圧の各々を伝送する2°本の基準電圧線と、

前記2°本の基準電圧線の各々と出力線との間にそれぞれ接続され、前記デジタルデータの各ビットの論理状態に応じて動作するとともに、選択される階調ごとにトランジスタサイズが異なるトランジスタスイッチを有する2°個の階調選択ユニットとを備えたことを特徴とするデジタルアナログ変換回路。

【請求項2】 前記2°個の階調選択ユニットの各々は、前記2°本の基準電圧線の各々と出力線との間に前記トランジスタスイッチを前記デジタルデータのビット数分だけシリーズに接続してなることを特徴とする請求項1記載のデジタルアナログ変換回路。

【請求項3】 n ビット (n は2以上の整数)のデジタルデータに対応した2°個の基準電圧を発生する基準電圧発生手段と、

前記基準電圧発生手段から出力される2°個の基準電圧の各々を伝送するとともに、選択される階調ごとに線幅が異なる2°本の基準電圧線と、

前記デジタルデータの各ビットの論理状態に応じて前記2°本の基準電圧線によって伝送される前記2°個の基準電圧の1つを選択して出力する階調選択回路部とを備えたことを特徴とするデジタルアナログ変換回路。

【請求項4】 複数の基準電圧を発生する基準電圧発生手段と、

前記基準電圧発生手段から出力される前記複数の基準電圧に基づいて抵抗分割によって n ビット (n は2以上の整数)のデジタルデータに対応した2°個の基準電圧を発生するとともに、選択される階調ごとに各分割抵抗の抵抗値が異なる抵抗分割手段と、

前記デジタルデータの各ビットの論理状態に応じて前記抵抗分割手段から供給される前記2°個の基準電圧の1つを選択して出力する階調選択回路部とを備えたことを特徴とするデジタルアナログ変換回路。

【請求項5】 複数の基準電圧を発生する基準電圧発生手段と、

前記基準電圧発生手段から出力される前記複数の基準電圧に基づいて抵抗分割によって n ビット (n は2以上の整数)のデジタルデータに対応した2°個の基準電圧を発生するとともに、前記基準電圧発生手段から供給される特定の階調の基準電圧については前記2°個の基準電圧の1つとして直接出力する抵抗分割手段と、

前記デジタルデータの各ビットの論理状態に応じて前記抵抗分割手段から供給される前記2°個の基準電圧の1つを選択して出力する階調選択回路部とを備えたことを特徴とするデジタルアナログ変換回路。

【請求項6】 前記抵抗分割手段の各分割抵抗の抵抗値が、選択される階調ごとに異なることを特徴とする請求項5記載のデジタルアナログ変換回路。

【請求項7】 画素が多数行列状に配置されてなる画素部と、 n ビット (n は2以上の整数)のデジタルデータをアナログ信号に変換するデジタルアナログ変換回路を有し、このアナログ信号によって前記画素部の各画素を駆動する駆動回路とを具備する表示装置であって、前記デジタルアナログ変換回路は、

2°個の基準電圧を発生する基準電圧発生手段と、前記基準電圧発生手段から出力される2°個の基準電圧の各々を伝送する2°本の基準電圧線と、前記2°本の基準電圧線の各々と出力線との間にそれぞれ接続され、前記デジタルデータの各ビットの論理状態に応じて動作するとともに、選択される階調ごとにトランジスタサイズが異なるトランジスタスイッチを有する2°個の階調選択ユニットとを有することを特徴とする表示装置。

【請求項8】 前記駆動回路は、前記画素部の各画素に対して信号を1水平期間ごとに線順次書き込むことを特徴とする請求項7記載の表示装置。

【請求項9】 前記駆動回路は、前記画素部と同一基板上に一体形成されていることを特徴とする請求項7記載の表示装置。

【請求項10】 前記画素部の各画素の表示素子が液晶セルからなることを特徴とする請求項7記載の表示装置。

【請求項11】 前記駆動回路は、前記液晶セルの対向電極に共通に印加されるコモン電圧を1水平期間ごとに反転させるコモン反転駆動にて前記画素部の各画素を駆動することを特徴とする請求項8記載の表示装置。

【請求項12】 前記画素部の各画素の表示素子がエレクトロルミネセンス素子からなることを特徴とする請求項7記載の表示装置。

【請求項13】 画素が多数行列状に配置されてなる画素部と、 n ビット (n は2以上の整数)のデジタルデータをアナログ信号に変換するデジタルアナログ変換回路を有し、このアナログ信号によって前記画素部の各画素を駆動する駆動回路とを具備する表示装置であって、

前記デジタルアナログ変換回路は、2°個の基準電圧を発生する基準電圧発生手段と、前記基準電圧発生手段から出力される2°個の基準電圧の各々を伝送するとともに、選択される階調ごとに線幅が異なる2°本の基準電圧線と、前記デジタルデータの各ビットの論理状態に応じて前記2°本の基準電圧線によって伝送される前記2°個の基準電圧の1つを選択して出力する階調選択回路部とを有することを特徴とする表示装置。

【請求項14】 前記駆動回路は、前記画素部の各画素に対して信号を1水平期間ごとに線順次書き込むこと

を特徴とする請求項13記載の表示装置。

【請求項15】 前記駆動回路は、前記画素部と同一基板上に一体形成されていることを特徴とする請求項13記載の表示装置。

【請求項16】 前記画素部の各画素の表示素子が液晶セルからなることを特徴とする請求項13記載の表示装置。

【請求項17】 前記駆動回路は、前記液晶セルの対向電極に共通に印加されるコモン電圧を1水平期間ごとに反転させるコモン反転駆動にて前記画素部の各画素を駆動することを特徴とする請求項16記載の表示装置。

【請求項18】 前記画素部の各画素の表示素子がエレクトロルミネセンス素子からなることを特徴とする請求項13記載の表示装置。

【請求項19】 画素が多数行列状に配置されてなる画素部と、 n ビット(n は2以上の整数)のデジタルデータをアナログ信号に変換するデジタルアナログ変換回路を有し、このアナログ信号によって前記画素部の各画素を駆動する駆動回路とを具備する表示装置であって、前記デジタルアナログ変換回路は、
複数の基準電圧を発生する基準電圧発生手段と、
前記基準電圧発生手段から出力される前記複数の基準電圧に基づいて抵抗分割によって2 ^{n} 個の基準電圧を発生するとともに、選択される階調ごとに各分割抵抗の抵抗値が異なる抵抗分割手段と、
前記デジタルデータの各ビットの論理状態に応じて前記抵抗分割手段から出力される前記2 ^{n} 個の基準電圧の1つを選択して出力する階調選択回路部とを有することを特徴とする表示装置。

【請求項20】 前記駆動回路は、前記画素部の各画素に対して信号を1水平期間ごとに線順次書き込むことを特徴とする請求項19記載の表示装置。

【請求項21】 前記駆動回路は、前記画素部と同一基板上に一体形成されていることを特徴とする請求項19記載の表示装置。

【請求項22】 前記画素部の各画素の表示素子が液晶セルからなることを特徴とする請求項19記載の表示装置。

【請求項23】 前記駆動回路は、前記液晶セルの対向電極に共通に印加されるコモン電圧を1水平期間ごとに反転させるコモン反転駆動にて前記画素部の各画素を駆動することを特徴とする請求項22記載の表示装置。

【請求項24】 前記画素部の各画素の表示素子がエレクトロルミネセンス素子からなることを特徴とする請求項19記載の表示装置。

【請求項25】 画素が多数行列状に配置されてなる画素部と、 n ビット(n は2以上の整数)のデジタルデータをアナログ信号に変換するデジタルアナログ変換回路を有し、このアナログ信号によって前記画素部の各画素を駆動する駆動回路とを具備する表示装置であって、

前記デジタルアナログ変換回路は、
複数の基準電圧を発生する基準電圧発生手段と、
前記基準電圧発生手段から出力される前記複数の基準電圧に基づいて抵抗分割によって n ビット(n は2以上の整数)のデジタルデータに対応した2 ^{n} 個の基準電圧を発生するとともに、前記基準電圧発生手段から供給される特定の階調の基準電圧については前記2 ^{n} 個の基準電圧の1つとして直接出力する抵抗分割手段と、
前記デジタルデータの各ビットの論理状態に応じて前記抵抗分割手段から出力される前記2 ^{n} 個の基準電圧の1つを選択して出力する階調選択回路部とを有することを特徴とする表示装置。

【請求項26】 前記駆動回路は、前記画素部の各画素に対して信号を1水平期間ごとに線順次書き込むことを特徴とする請求項25記載の表示装置。

【請求項27】 前記駆動回路は、前記画素部と同一基板上に一体形成されていることを特徴とする請求項25記載の表示装置。

【請求項28】 前記画素部の各画素の表示素子が液晶セルからなることを特徴とする請求項25記載の表示装置。

【請求項29】 前記駆動回路は、前記液晶セルの対向電極に共通に印加されるコモン電圧を1水平期間ごとに反転させるコモン反転駆動にて前記画素部の各画素を駆動することを特徴とする請求項28記載の表示装置。

【請求項30】 前記画素部の各画素の表示素子がエレクトロルミネセンス素子からなることを特徴とする請求項25記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルアナログ変換回路(以下、DA変換回路と称す)およびこれを搭載した表示装置に関し、特に基準電圧選択型のDA変換回路およびこれを含む駆動回路を搭載した液晶ディスプレイ(LCD; liquid crystal display)やエレクトロルミネセンス(EL; electroluminescence)ディスプレイなどの表示装置に関する。

【0002】

【従来の技術】近年、例えば液晶表示装置では、デジタルインターフェース駆動回路を画素部と同一の基板(パネル)上に一体的に形成する傾向にある。この駆動回路一体型液晶表示装置では、スイッチング素子としてポリシリコンTFT(thin film transistor; 薄膜トランジスタ)を用いた画素が多数行列状に配列されてなる画素部に対して、その周辺部に水平駆動系や垂直駆動系が配され、これら駆動系がTFTで画素部と共に同一基板(以下、LCDパネルと称す)上に一体的に形成された構成となっている。

【0003】

【発明が解決しようとする課題】ここで、上記構成の駆

動回路一体型液晶表示装置を作製したときに大きな問題となるのが、LCDパネル上にデジタルインターフェース駆動回路を一体形成した際に当該駆動回路が占有する面積、即ち画素部の周辺領域（以下、この領域を額縁と称す）の大きさである。特に、基準電圧選択型のDA変換回路を有する駆動回路一体型液晶表示装置では、DA変換回路の回路面積が大きくなるため、LCDパネルの額縁を小さくする上で大きな問題となっている。

【0004】すなわち、基準電圧選択型のDA変換回路は、複数の基準電圧を供給する基準電圧線と画素部のコ
10 ラム線との間にトランジスタスイッチを持つ構成となっており、このスイッチ部分がDA変換回路部の中でも大きな面積を占めている。しかも、階調数の分の本数だけ基準電圧線が必要であることから、これら基準電圧線が占める面積、即ちLCDパネル内でのDA変換回路までの基準電圧線の引き回しにより占める面積が大きい。この面積がLCDパネルの狭額縁化の妨げとなっていると同時に、多階調化を困難にさせる一因となっている。

【0005】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、パネルの狭額縁化を
20 可能としたDA変換回路およびこれを搭載した表示装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明では、 n ビット（ n は2以上の整数）のデジタルデータに対応して 2^n 個の基準電圧を発生する基準電圧発生手段と、この基準電圧発生手段から出力される
30 2^n 個の基準電圧の各々を伝送する 2^n 本の基準電圧線と、これら基準電圧線の各々と出力線との間にそれぞれ接続され、デジタルデータの各ビットの論理状態に応じて動作するトランジスタスイッチを有する 2^n 個の階調選択ユニットとを備えたDA変換回路において、選択される階調ごとにトランジスタスイッチのトランジスタサイズを変えるか、または選択される階調ごとに 2^n 本の基準電圧線の線幅を変える構成を採っている。

【0007】本発明ではさらに、複数の基準電圧を発生する基準電圧発生手段と、この基準電圧発生手段から出力される複数の基準電圧に基づいて抵抗分割によって
40 n ビットのデジタルデータに対応した 2^n 個の基準電圧を発生する抵抗分割手段と、デジタルデータの各ビットの論理状態に応じて 2^n 個の基準電圧の1つを選択して出力する階調選択回路部とを備えたDA変換回路において、選択される階調ごとに各分割抵抗の抵抗値を変えるか、または外部から入力される複数の基準電圧のうちの特定の階調の基準電圧については 2^n 個の基準電圧の1つとして直接出力する構成を採っている。

【0008】そして、これらのDA変換回路は、画素が多数行列状に配置されてなる画素部を有する液晶あるいはEL等の表示装置において、そのデジタルインター
50 フェース駆動回路に内蔵され、階調数分の基準電圧の中か

らデジタルデータに対応した所望の基準電圧を選択してアナログ信号として出力するDA変換回路、特に画素部と同一基板上において画素部の周辺に配置されるデジタルインターフェース駆動回路のDA変換回路として用いられる。

【0009】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明に係る駆動回路一体型液晶表示装置の構成例を示すブロック
図である。

【0010】図1において、画素が行列状に多数配置されてなる有効画素領域（画素部）11に対して、その上下に第1、第2の水平駆動系12、13が配され、また例えば図の左側に垂直駆動系14が配されている。そして、第1、第2の水平駆動系12、13および垂直駆動系14は、TFT（薄膜トランジスタ）で有効画素領域11と同一の基板（第1の基板）上に一体的に形成されている。

【0011】この第1の基板に対して、第2の基板（図示せず）が所定の間隔をもって対向配置され、両基板間に液晶層が保持されてLCDパネル15を構成している。なお、水平駆動系については、必ずしも有効画素領域11の上下に配置する必要はなく、上下の一方側だけの配置であっても良い。また、垂直駆動系については、図の右側の配置であっても、あるいは左右両側の配置であっても良い。

【0012】第1の水平駆動系12は、水平シフトレジスタ121、サンプリング&第1ラッチ回路122、第2ラッチ回路123、レベルシフタ124およびDA変換回路（DAC）125によって構成されている。第2の水平駆動系13も第1の水平駆動系12と同様に、水平シフトレジスタ131、サンプリング&第1ラッチ回路132、第2ラッチ回路133、レベルシフタ134およびDA変換回路135によって構成されている。垂直駆動系14は、垂直シフトレジスタ141によって構成されている。

【0013】図2に、有効画素領域11における各画素20の構成の一例を示す。画素20は、スイッチング素子であるTFT21と、このTFT21のドレイン電極に画素電極が接続された液晶セル22と、TFT21のドレイン電極に一方の電極が接続された補助容量23とから構成されている。この画素構造において、各画素20のTFT21は、そのゲート電極が垂直選択線であるロー（行）線 \cdots , $24m-1$, $24m$, $24m+1$, \cdots に接続され、そのソース電極が信号線であるコラム（列）線 \cdots , $25n-1$, $25n$, $25n+1$, \cdots に接続されている。

【0014】また、液晶セル22の対向電極は、コモン電圧VCOMが与えられるコモン線26に接続されている。ここで、液晶セル22の駆動法として、例えば、コ

モン電圧VCOMを1H(1水平期間)ごとに反転する
いわゆるコモン反転駆動法が用いられる。このコモン反
転駆動法を用いることにより、コモン電圧VCOMの極
性が1Hごとに反転することから、第1、第2の水平駆
動系12、13の低電圧化が図れ、デバイス全体の消費
電力を低減できることになる。

【0015】次に、第1、第2の水平駆動系12、13
の各部の動作について説明する。なお、以下の説明で
は、第1の水平駆動系12を例に採って説明するが、第
2の水平駆動系13についても全く同様のことが言え

る。
【0016】第1の水平駆動系12において、水平シフ
トレジスタ121には、水平転送パルス1、即ち水平ス
タートパルスHST1および水平クロックパルスHCK
1が与えられる。すると、水平シフトレジスタ121
は、水平スタートパルスHST1にตอบสนองして水平クロッ
クパルスHCK1の周期で水平走査を行う。サンプリ
ング&第1ラッチ回路122は、水平シフトレジスタ12
1の水平走査に同期してデジタルデータを順次サンプリ
ングし、さらにサンプリングしたデータをコラム線…、
25n-1、25n、25n+1、…ごとにラッチす

る。
【0017】第2ラッチ回路123は、サンプリング&
第1ラッチ回路122でラッチされたコラム線の各々
に対応するラッチデータを、1H周期で与えられるラッ
チ信号にตอบสนองして1Hごとに再ラッチする。レベルシフ
タ124は、第2ラッチ回路122で再ラッチされたラッ
チデータについて、その信号レベル(振幅)を所定のレ
ベルにレベルシフトしてDA変換回路125に供給す

る。
【0018】一方、垂直駆動系14において、垂直シフ
トレジスタ141には、垂直転送パルス、即ち垂直ス
タートパルスVSTおよび垂直クロックパルスVCKが与
えられる。すると、垂直シフトレジスタ141は、垂直
スタートパルスVSTにตอบสนองして垂直クロックパルスV
CKの周期で垂直走査を行うことで、有効画素領域11
に対して行単位で順次行選択信号を与える。

【0019】なお、第1、第2の水平駆動系12、13
において、DA変換回路125、135としては、レベ
ルシフタ124、134でレベルシフトされたデータを
受けて階調数分の基準電圧から目的の基準電圧を選
択して対応するコラム線の各々へ出力する基準電圧選
択型DA変換回路が用いられる。その理由は、出力電位
のばらつきが小さいためである。この基準電圧選
択型DA変換回路が本発明の対象となる。

【0020】図3は、基準電圧選択型DA変換回路の基
本的な構成の一例を示すブロック図である。

【0021】図3において、本基準電圧選択型DA変換
回路は、基準電圧発生回路部31、抵抗分割回路部3
2、配線部33およびDAC回路部34、35を有し、

基準電圧発生回路部31のみがLCDパネル15外に例
えばIC化されて配置され、抵抗分割回路部32、配線
部33およびDAC回路部34、35がLCDパネル1
5上に搭載され、有効画素領域11の周辺部に配置さ
れた構成となっている。

【0022】基準電圧発生回路部31は、複数の基準電
圧、本例では9個の基準電圧V0~V8を発生する。こ
れら基準電圧V0~V8は、LCDパネル15のパッド
部36を介して抵抗分割回路部32に与えられる。抵抗
分割回路部32は、9個の基準電圧V0~V8に基づい
て抵抗分割によって例えば16(=2⁴)階調分の基準
電圧Vref0~Vref15を発生する。これら基準
電圧Vref0~Vref15の数は、DAC回路部3
4、35に入力されるデジタルデータのビット数で決ま
る階調数に対応している。すなわち、本例の場合は、4
ビットのデジタルデータによって16階調の表示を行う
ようになっている。

【0023】配線部33は、抵抗分割回路部32から出
力される16階調分の基準電圧Vref0~Vref1
5をDAC回路部34、35へ伝送するためのものであ
り、抵抗分割回路部32から16階調分の基準電圧V
ref0~Vref15をそれぞれ導出する16本の基準
電圧線37-0~37-15と、これら基準電圧線37-0~
37-15をDAC回路部34、35まで引き回す引き回
し線38-0~38-15とから構成されている。

【0024】DAC回路部34、35は、図1のDA変
換回路125、135に相当するものであり、例えば4
ビットのデジタルデータを受けて、配線部33を通して
抵抗分割回路部32から供給される16(=2⁴)階調
分の基準電圧Vref0~Vref15の中から目的
の基準電圧を選択して出力線に出力する。この出力線
には、有効画素領域11の対応するコラム線が接続さ
れる。

【0025】なお、図3において、Hドライバ39Aは
図1の水平シフトレジスタ121、サンプリング&ラッ
チ回路122、第2ラッチ回路123およびレベルシフ
タ124に相当し、Hドライバ39Bは図1の水平シフ
トレジスタ131、サンプリング&ラッチ回路132、
第2ラッチ回路133およびレベルシフタ134に相当
し、Vドライバ40は垂直シフトレジスタ141に相当
する。

【0026】以下、DAC回路部34、35の具体的な
回路構成例について、図4~図8を用いて説明する。な
お、ここでは、説明の簡略化のために、デジタルデー
タが2ビットの場合を例にとって説明するものとする。
デジタルデータが2ビットであることから、4個(=2²
個)の基準電圧Vref0~Vref3が用いられるこ
とになる。

【0027】図4は、DAC回路部の第1具体例を示す
回路図である。この第1具体例に係るDAC回路部は、

4個の基準電圧 $V_{ref0} \sim V_{ref3}$ を伝送する基準電圧線37-0 \sim 37-3と有効画素領域11のコラム線25kとの間に、4個の階調選択ユニット41-0 \sim 41-3がそれぞれ配置された構成となっている。ここで、コラム線25kは、有効画素領域11における任意の列(k列)のコラム線を指すものとする。

【0028】階調選択ユニット41-0はシリーズに接続された2つのNMOSスイッチ Q_{n11} 、 Q_{n12} から構成され、階調選択ユニット41-1はシリーズに接続された1つのNMOSスイッチ Q_{n13} および1つのPMOSスイッチ Q_{p11} から構成され、階調選択ユニット42-2はシリーズに接続された1つのPMOSスイッチ Q_{p12} および1つのNMOSスイッチ Q_{n14} から構成され、階調選択ユニット41-3はシリーズに接続された2つのPMOSスイッチ Q_{p13} 、 Q_{p14} から構成されている。そして、図4において、左側の列のMOSスイッチの各ゲートにはデジタルデータのビットb1が印加され、右側の列のMOSスイッチの各ゲートにはデジタルデータのビットb0が印加される。

【0029】上記構成のDAC回路部において、階調選択ユニット41-0は、デジタルデータが(1, 1)のときに各MOSスイッチ Q_{n11} 、 Q_{n12} がオン状態となることによって基準電圧 V_{ref0} を選択する。これは白表示に対応している。階調選択ユニット41-3は、デジタルデータが(0, 0)のときに各MOSスイッチ Q_{p13} 、 Q_{p14} がオン状態となることによって基準電圧 V_{ref3} を選択する。これは黒表示に対応している。

【0030】階調選択ユニット41-2は、デジタルデータが(1, 0)のときに各MOSスイッチ Q_{n13} 、 Q_{p11} がオン状態となることによって基準電圧 V_{ref1} を選択し、階調選択ユニット41-3は、デジタルデータが(0, 1)のときに各MOSスイッチ Q_{p12} 、 Q_{n14} がオン状態となることによって基準電圧 V_{ref3} を選択する。これらは、白と黒の中間階調の表示に対応している。

【0031】図5は、DAC回路部の第2具体例を示す回路図である。この第2具体例に係るDAC回路部は、選択スイッチ部42、ラッチ回路部43およびデコード回路部44からなる4個の階調選択ユニット45-0 \sim 45-3が、4個の基準電圧 $V_{ref0} \sim V_{ref3}$ に対応してそれぞれ配置された構成となっている。

【0032】これら階調選択ユニット45-0 \sim 45-3において、選択スイッチ部44は、基準電圧線37-0 \sim 37-3とコラム線25kとの間に1個ずつ接続されたスイッチSW0 \sim SW3によって構成されている。これらスイッチSW0 \sim SW3としては、例えばMOSTランジスタ等からなる電子スイッチが用いられる。

【0033】デコード回路部44については、シリーズに接続されたPMOSスイッチ Q_{p21} およびNMOS

スイッチ $Q_{n21} \sim Q_{n23}$ によって基準電圧 V_{ref0} に対応する回路部分が、シリーズに接続されたPMOSスイッチ Q_{p22} 、NMOSスイッチ Q_{n24} 、 Q_{n25} およびPMOSスイッチ Q_{p23} によって基準電圧 V_{ref1} に対応する回路部分がそれぞれ構成されている。

【0034】さらに、シリーズに接続されたPMOSスイッチ Q_{p24} 、NMOSスイッチ Q_{n26} 、PMOSスイッチ Q_{p25} およびNMOSスイッチ Q_{n27} によって基準電圧 V_{ref2} に対応する回路部分が、シリーズに接続されたPMOSスイッチ Q_{p26} 、NMOSスイッチ Q_{n28} およびPMOSスイッチ Q_{p27} 、 Q_{p28} によって基準電圧 V_{ref3} に対応する回路部分がそれぞれ構成されている。

【0035】これら回路部分は、電源 V_{dd} とGND(グランド)との間にそれぞれ接続されている。そして、左側の列の2つのP、NMOSスイッチが対となり、それらの各ゲートにはリセット信号が印加される。また、真中の列のMOSスイッチの各ゲートにはデジタルデータのビットb1が印加され、右側の列のMOSスイッチの各ゲートにはデジタルデータのビットb0が印加される。

【0036】図6は、DAC回路部の第3具体例を示す回路図である。この第3具体例に係るDAC回路部では、基準電圧線37-0 \sim 37-3とコラム線25kとの間にそれぞれ配置された階調選択ユニット46-0 \sim 46-3の各選択スイッチとして、CMOSスイッチを用いた構成となっている。

【0037】図7は、DAC回路部の第4具体例を示す回路図である。この第4具体例に係るDAC回路部では、基準電圧線37-0 \sim 37-3とコラム線25kとの間にそれぞれ配置された階調選択ユニット47-0 \sim 47-3の各選択スイッチとして、NMOSスイッチのみを用いた構成となっている。

【0038】図8は、DAC回路部の第5具体例を示す回路図である。この第5具体例に係るDAC回路部では、基準電圧線37-0 \sim 37-3とコラム線25kとの間にそれぞれ配置された階調選択ユニット48-0 \sim 48-3の各選択スイッチとして、PMOSスイッチのみを用いた構成となっている。

【0039】これら第3 \sim 第5具体例に係るDAC回路部は、各選択スイッチとしてPMOSスイッチおよびNMOSスイッチを用いた第1具体例に係るDAC回路部の変形例である。そして、各選択ユニットには、デジタルデータb1、b0と共に、その反転データx b1、x b0が与えられることになる。

【0040】[第1実施形態] 上記構成の基準電圧選択型DA変換回路を持つ駆動回路一体型液晶表示装置において、本発明の第1実施形態では、DAC回路部34、35を構成するMOSスイッチのトランジスタサイズ、

例えばトランジスタのチャネル幅 W に対して、選択される階調に応じて重み付けを行う構成を採っている。

【0041】ここでは、第1具体例に係るDAC回路部（図4を参照）の場合を例に採って説明するものとする。当該DAC回路部においては、デジタルデータの各ビット（ b_0 , b_1 ）の論理の組み合わせに従って基準電圧 $V_{ref0} \sim V_{ref3}$ のいずれか1つが、階調選択ユニット41-0～41-3によって選択され、コラム線25kに出力される。

【0042】このとき、選択された基準電圧 V_{ref} に対応する階調選択ユニット41内のMOSスイッチ Q_n , Q_p のオン抵抗は、コラム線25kの負荷容量を決められた時間（例えば、1水平期間）で充電するのに十分なものでなければならない。したがって、MOSスイッチ Q_n , Q_p のトランジスタサイズは、このオン抵抗の条件を満たす必要がある。

【0043】上記の条件を満たすために、従来のDAC回路部では、コラム線25kの最大容量に合わせてMOSスイッチ Q_n , Q_p のトランジスタサイズを全て同一サイズに決定していた。ところが、実際には、コラム線25kの負荷容量は選択された階調によって大きく異なっているのが現状である。

【0044】例えば、ノーマリーホワイト表示モードの場合、白表示時の容量は黒表示時に比べて十分小さい。したがって、白表示を行うための基準電圧 V_{ref0} を選択するMOSスイッチ Q_{n11} , Q_{n12} のトランジスタサイズは、黒表示を行うための基準電圧 V_{ref3} を選択するMOSスイッチ Q_{p13} , Q_{p14} のトランジスタサイズよりも小さくても良いことになる。

【0045】上述した点に鑑み、本発明の第1実施形態では、DAC回路部34, 35を構成するMOSスイッチのトランジスタサイズに対して、選択される階調に応じて重み付けを行うようにしている。具体的には、ノーマリーホワイト表示モードにおいて、各階調選択ユニット41-0～41-3を構成するMOSスイッチの各トランジスタのチャネル幅 W を、白表示用のものほど小さく設定し、黒表示用のものほど大きく設定するようにする。

【0046】すなわち、図9に示すように、MOSスイッチ Q_{n11} , Q_{n12} のチャネル幅を W_0 、MOSスイッチ Q_{n13} , Q_{p11} のチャネル幅を W_1 、MOSスイッチ Q_{p12} , Q_{n14} のチャネル幅を W_2 、MOSスイッチ Q_{p13} , Q_{p14} のチャネル幅を W_3 とした場合に、チャネル幅 W_3 を黒表示時の負荷容量に合わせて設定し、他のチャネル幅 W_0 , W_1 , W_2 を階調ごとに、負荷容量を1H期間で充電できる最小サイズに設定する。

【0047】なお、ここでは、ノーマリーホワイト表示モードの場合を例に採って説明したが、ノーマリーブラック表示モードの場合には、トランジスタサイズ（例えば、各トランジスタのチャネル幅 W ）の大小と階調の関

係が逆になる。

【0048】このように、MOSスイッチのトランジスタサイズに対して、選択される階調に応じて重み付けを行うようにしたことにより、コラム線25kの最大容量に合わせてトランジスタサイズを全て同一サイズに決定していた従来例に比べて、効率良く小面積でDAC回路部34, 35を形成できるため、LCDパネル15の狭額縁化が図れることになる。

【0049】すなわち、DAC回路部34, 35はLCDパネル15上において有効画素領域11の上下の額縁部分に配置されるものであり、しかも図9から明らかなように、各MOSスイッチのチャネル幅 W の方向が上下方向であることから、これらDAC回路部34, 35をLCDパネル15の上下方向において小面積化できることにより、LCDパネル15において、有効画素領域11の特に上下の額縁部分のサイズ（幅）を狭くすることができる。

【0050】なお、本実施形態では、DAC回路部34, 35として第1具体例に係る回路構成のものをを用いた場合を例に採って説明したが、第2～第5具体例に係る回路構成を用いた場合にも同様に、各階調選択ユニットを構成するMOSスイッチのトランジスタサイズに対して、選択する階調に応じて重み付けを行うようにすれば良い。

【0051】〔第2実施形態〕図3に示す構成の基準電圧選択型DA変換回路を持つ駆動回路一体型液晶表示装置において、本発明の第2実施形態では、配線部33における特に引き回し線38-0～38-3の線幅に対して、選択される階調に応じて重み付けを行う構成を採っている。

【0052】第1実施形態において説明したように、DAC回路部34, 35において、デジタルデータの各ビット（ b_0 , b_1 ）の論理の組み合わせに従って基準電圧 $V_{ref0} \sim V_{ref3}$ のいずれか1つが選択され、コラム線25kに出力されるとき、表示する階調によってコラム線25kの負荷容量が異なる。

【0053】それにも関わらず、従来の基準電圧選択型DA変換回路においては、配線部33における基準電圧線線37-0～37-3および引き回し線38-0～38-3の線幅として、コラム線25kの最大容量に合わせて、全ての線について同一の線幅で設計していた。

【0054】これに対して、本発明の第2実施形態では、図3から明らかなように、DAC回路部34, 35に直接至る引き回し線38-0～38-3の線幅に対して、選択される階調に応じて重み付けを行うようにしている。具体的には、例えば図4の回路例において、ノーマリーホワイト表示モードでの引き回し線38-0～38-3の線幅を、白表示用のものほど細く設定し、黒表示用のものほど太く設定するようにする。

【0055】すなわち、図10に示すように、基準電圧

Vref0を送送する引き回し線38-0の線幅をD0、基準電圧Vref1を送送する引き回し線38-1の線幅をD1、基準電圧Vref2を送送する引き回し線38-2の線幅をD2、基準電圧Vref3を送送する引き回し線38-3の線幅をD3とした場合に、引き回し線38-3の線幅D3を黒表示時の容量に合わせて設定し、他の引き回し線38-0、38-1、38-2の各線幅をD0、D1、D2を $D0 < D1 < D2 < D3$ の関係を満足するように設定する。

【0056】なお、ここでは、ノーマリーホワイト表示モードの場合を例に採って説明したが、ノーマリーブラック表示モードの場合には、引き回し線38-0～38-3の各線幅の大小と階調の関係が逆になる。すなわち、引き回し線38-0～38-3の線幅を、白表示用のものほど太く設定し、黒表示用のものほど細く設定するようにする。

【0057】このように、引き回し線38-0～38-3の各線幅に対して、選択される階調に応じて重み付けを行うようにしたことにより、各線幅としてコラム線25kの最大容量に合わせて全て同一の線幅を設定していた従来例に比べて、引き回し線38-0～38-3のトータルでの線幅を細くできるため、LCDパネル15の狭額縁化が図れることになる。

【0058】すなわち、配線部33の特に引き回し線38-0～38-3は、図3から明らかなように、LCDパネル15上において有効画素領域11の上下に位置するのDAC回路部34、35まで引き回され、さらにこれらDAC回路部34、35内で水平方向において互いに並行に延びることから、引き回し線38-0～38-3のトータルでの線幅を細くできることにより、LCDパネル15において、有効画素領域11の特に上下の額縁部分のサイズ(幅)を狭くすることができる。

【0059】なお、本実施形態では、LCDパネル15上に抵抗分割回路部32を搭載し、この抵抗分割回路部32から出力される階調数分の基準電圧を引き回し線によってDAC回路部34、35まで伝送する構成の基準電圧選択型DA変換回路に適用した場合について説明したが、これに限定されるものではなく、抵抗分割することなく、外部の基準電圧発生回路部31から直接階調数分の基準電圧を取り込み、これら基準電圧を引き回し線によってDAC回路部34、35まで伝送する構成のものにも同様に適用可能である。

【0060】[第3実施形態] 本発明の第3実施形態では、図3に示すように、LCDパネル15上に抵抗分割回路部32を搭載した構成の基準電圧選択型DA変換回路を持つ駆動回路一体型液晶表示装置において、外部から抵抗分割回路部32内の分割抵抗を介さずに基準電圧を出力する基準電圧線についての引き回し線と、外部から抵抗分割回路部32内の分割抵抗を介して基準電圧を出力する基準電圧線についての引き回し線との線幅を異

ならせた構成を採っている。

【0061】一例として、LCDパネル15の外部から3つの基準電圧V0、V1、V2を取り込み、抵抗分割回路部32'での抵抗分割によって5つの基準電圧Vref0～Vref4を導出する場合の構成を図11に示す。なお、図11には、説明の簡略化のために、上側のDCA回路部34のみを示している。

【0062】図11において、抵抗分割回路部32'は、基準電圧V0と基準電圧V1との電位差を分圧して基準電圧Vref1を得る分割抵抗R11、R12と、基準電圧V1と基準電圧V2との電位差を分圧して基準電圧Vref3を得る分割抵抗R13、R14とからなる構成となっている。

【0063】そして、基準電圧V0、V1、V2はそのまま基準電圧Vref0、Vref2、Vref4となり、引き回し線51-0、51-2、51-4によってDAC回路部54へ伝送される。また、抵抗分割R11とR12、R13とR14によって得られた基準電圧Vref1、Vref3は、引き回し線51-1、51-3によってDAC回路部54へ伝送される。

【0064】引き回し線51-0～51-4を有する配線部33において、引き回し線51-0～51-4の抵抗値はその線幅によって決まる。そして、これら引き回し線51-0～51-4の線幅は、第2実施形態において説明したように、黒表示時のコラム線容量に合わせて設定される。

【0065】ここで、基準電圧Vref0、Vref2、Vref4を送送する引き回し線51-0、51-2、51-4と、基準電圧Vref1、Vref3を送送する引き回し線51-1、51-3とを同じ線幅として比較した場合に、引き回し線51-0、51-2、51-4の方は、分割抵抗を介さない分だけ抵抗値が低いと言える。

【0066】この点に鑑み、本実施形態では、分割抵抗を介する方の引き回し線51-1、51-3の線幅を、黒表示時のコラム線容量に合わせて設定し、分割抵抗を介さない方の引き回し線51-0、51-2、51-4については、分割抵抗を介さない分だけ抵抗値を高くできることから、その線幅を引き回し線51-1、51-3の線幅よりも細く設定するようにする。これにより、引き回し線51-0、51-2、51-4の抵抗値を引き回し線51-1、51-3の抵抗値に近づけることができる。

【0067】このように、外部から抵抗分割回路部32'内の分割抵抗を介さずに基準電圧Vref0、Vref2、Vref4を出力する引き回し線51-0、51-2、51-4と、外部から抵抗分割回路部32'内の分割抵抗を介して基準電圧Vref1、Vref3を出力する引き回し線51-1、51-3との線幅を異ならせることにより、黒表示時のコラム線容量に合わせて同じ線幅に設定していた従来例に比べて、引き回し線51-0～51-4のトータルでの線幅を細くできるため、LCDパネル15の狭額縁化が図れることになる。

【0068】なお、本実施形態では、外部から分割抵抗を介さずに基準電圧を伝送する引き回し線と、外部から分割抵抗を介して基準電圧を伝送する引き回し線との線幅を両者間で異ならせるとしたが、第2実施形態の構成との組み合わせ、即ち両引き回し線の線幅を異ならせるとともに、これら引き回し線の線幅に対して選択される階調に応じて重み付けを行う構成を採ることも可能である。この構成を採ることにより、引き回し線のトータルでの線幅をより細くできるため、LCDパネル15のさらなる狭額縁化が図れることになる。

【0069】また、第1実施形態の構成と組み合わせることも可能である。すなわち、DAC回路部34、35を構成するMOSスイッチのトランジスタサイズに対して選択される階調に応じて重み付けを行うとともに、外部から分割抵抗を介さずに基準電圧を伝送する引き回し線と、外部から分割抵抗を介して基準電圧を伝送する引き回し線との線幅を両者間で異ならせたり、さらにはこれら引き回し線の線幅に対して選択される階調に応じて重み付けを行う構成とすることも可能である。

【0070】ここで、MOSスイッチのトランジスタサイズに対して選択される階調に応じて重み付けを行うとともに、外部から分割抵抗を介さずに基準電圧を伝送する引き回し線と、外部から分割抵抗を介して基準電圧を伝送する引き回し線との線幅を両者間で異ならせる構成を採った場合の効果について、従来例との対比をもって示す。ここでは、ノーマリーブラック表示モードにおいて、16階調の表示を行う場合を例に採るものとする。

【0071】従来例では、コラム線の最大容量に合わせてトランジスタサイズを全て同一サイズに、基準電圧線およびその引き回し線の線幅についても同様に同一幅に決定していた。一例として、図12(A)に示すように、基準電圧線の線幅を65 μm に、トランジスタのチャンネル幅Wを110 μm に設定したとすると、16階調分のトータルの線幅が1040 μm 、トータルのチャンネル幅が1760 μm となり、DAC回路部が額縁を占める幅が2800 μm となる。

【0072】これに対して、一例として、図12(B)に示すように、外部から分割抵抗を介さずに基準電圧を伝送する引き回し線の線幅を40 μm に、外部から分割抵抗を介して基準電圧を伝送する引き回し線と線幅を65 μm にそれぞれ設定し、また基準電圧Vref0(黒)、Vref1を扱うMOSスイッチのチャンネル幅Wを90 μm に、基準電圧Vref2~Vref13を扱うMOSスイッチのチャンネル幅Wを80 μm に、基準電圧Vref14、Vref15(白)を扱うMOSスイッチのチャンネル幅Wを110 μm にそれぞれ設定するものとする。

【0073】この場合には、16階調分のトータルの線幅が840 μm 、トータルのチャンネル幅が1360 μm となり、DAC回路部が額縁を占める幅が2200 μm

となる。このことから明らかなように、本発明の場合(B)には、LCDパネル15の額縁幅を従来例の場合(A)よりも600(=2800-2200) μm だけ狭額縁化できることがわかる。

【0074】ところで、図3の抵抗分割回路部32としては、従来、図13に示すように、外部の基準電圧発生回路部31から出力される例えば9個の基準電圧V0~V9を、等しい抵抗値Rの分割抵抗で分割して多階調化する構成のものが用いられていた。この構成の場合、外部から直結している基準電圧線間には異なった電位がかかるため、各分割抵抗に直流電流I1、I2、...が流れる。

【0075】一例として、白表示用の基準電圧線と黒表示用の基準電圧線との間に5Vの電位差があるとする。このとき、基準電圧線間に流れる直流電流の値が異なると、外部の基準電圧発生回路部31に流れ込む電流量が多くなる。また、液晶ディスプレイのガンマ特性、即ち液晶に印加する電圧Vと反射率Rとの関係を示すV-R特性は、図14の特性図から明らかなように、白表示部分や黒表示部分で階調を出すためには、液晶に加える電圧Vの差を大きくしなければならず、特に多階調では階調を表現するのが難しい。

【0076】[第4実施形態] 本発明の第4実施形態では、図3に示すように、LCDパネル15上に抵抗分割回路部32を搭載した構成の基準電圧選択型DA変換回路を持つ駆動回路一体型液晶表示装置において、抵抗分割回路部32の分割抵抗の各抵抗値に対して、選択される階調に応じて重み付けを行う構成を採っている。

【0077】具体的には、前述したように、白表示部分や黒表示部分で階調を出すには、隣り合う階調の基準電圧間の電位差を大きくしなければならないことから、図15に示すように、外部の基準電圧発生回路部31から基準電圧V0~V8を取り込む取り込み線52-0~52-8のうちの黒表示用の取り込み線52-0と白表示用の取り込み線52-8については、分割抵抗に接続せずに直接基準電圧Vref0、Vref14として出力する基準電圧線53-0、53-14とする。

【0078】また、基準電圧V1~V7を取り込む取り込み線52-1~52-7間には、分割抵抗を介させるとともに、これら分割抵抗の各抵抗値を階調に応じて異ならせる。そして、基準電圧V1、V2、V3、V4、V5、V6、V7については直接Vref1、Vref3、Vref5、Vref7、Vref9、Vref11、Vref13として基準電圧線53-1、52-3、53-5、53-7、53-9、53-11、53-13によって導出し、抵抗分割によって得られる基準電圧Vref2、Vref4、Vref6、Vref8、Vref12については、基準電圧線52-2、53-4、53-6、53-8、53-10によって導出する。

【0079】ここで、取り込み線(基準電圧線)52-1

～52-間の2つずつの分割抵抗の各抵抗値をR1、R2、R3、R4、R5、R6としたとき、各分割抵抗に一定の電流が流れるように各抵抗値を最適化する。このとき、図14に示す液晶のV-R特性から明らかなように、基準電圧間、即ちV1-V2間、V2-V3間、…、V6-V7間の電位差は全て異なることから、分割抵抗の各抵抗値はそれぞれ異なる値に設定されることになる。

【0080】上述したように、黒表示用の基準電圧線53-0(取り込み線52-0)と白表示用の基準電圧線53-14(取り込み線52-8)を分割抵抗に接続せずに独立としたことにより、黒表示に対応する基準電圧線53-0と隣の階調に対応する基準電圧線53-1との間の電位差、および白表示用の基準電圧線53-14と隣の階調に対応する基準電圧線53-13との間の電位差が大きくなるので、階調の表現が容易になる。

【0081】また、基準電圧間に大きな電位差がある部位、即ち黒階調および白階調では隣の階調の基準電圧線との間に直流電流が流れなく、しかもそれ以外では直流電圧線間に一定の電流が流れるように分割抵抗の抵抗値を最適化したことにより、分割抵抗に流れるトータルの直流電流を最小限に抑えることができるため、外部の基準電圧発生回路部31を含むLCDモジュールとして低消費電力化を実現できる。

【0082】なお、本実施形態では、基準電圧V1～V7を取り込む取り込み線52-1～52-7間において、これら分割抵抗の各抵抗値を液晶のガンマ特性(V-R特性)に合わせて全て異ならせると構成したが、分割抵抗の各抵抗値を全て同じ値に設定し、黒表示用の基準電圧線53-0と白表示用の基準電圧線53-14を分割抵抗に接続せずに独立とした構成を採るだけでも低消費電力化が図れる。

【0083】ここで、黒表示用の基準電圧線53-0と白表示用の基準電圧線53-14を分割抵抗に接続せずに独立としたことで、隣の階調の基準電圧線との間には抵抗素子は介在しないが、その間の抵抗値が無限であることから、黒表示用の基準電圧線53-0および白表示用の基準電圧線53-14とその隣の階調の基準電圧線との間の抵抗値も、液晶のガンマ特性(V-R特性)に応じて設定されるものと考えることができる。

【0084】また、上記実施形態に係る抵抗分割回路部32Aでは、黒表示用の基準電圧線53-0および白表示用の基準電圧線53-14の双方を分割抵抗に接続せずに独立にする構成としたが、図16に示すように、黒表示用の基準電圧線53-0のみを分割抵抗に接続せずに独立にする構成の抵抗分割回路部32Bや、図17に示すように、白表示用の基準電圧線53-14のみを分割抵抗に接続せずに独立にする構成の抵抗分割回路部32Cとすることも可能である。

【0085】図16の回路構成を採った場合には、黒階

調表示部の直流電流を抑えることができるので、その分だけ低消費電力化が図れる。図17の回路構成を採った場合には、黒階調表示の場合と同様に、直流電流を抑えることができる分だけ低消費電力化が図れる。省電力表示時に白階調表示のみ使用する場合など、他階調の信号の出力をOFFした場合も不要な電流を流す必要がないため、低消費電力化に大きく寄与できる。

【0086】なお、上記各実施形態においては、液晶表示装置に適用した場合について説明したが、これに限られるものではなく、例えばEL素子を各画素の表示素子として用いたEL表示装置を含む表示装置全般に適用可能である。また、本発明に係る基準電圧選択型DA変換回路は、表示装置のパネルに搭載することで、先述したように当該パネルの狭額縁化に寄与できることになり、本DA変換回路単独でも、配線パターンを含む回路規模を縮小できるという利点がある。

【0087】

【発明の効果】以上説明したように、本発明によれば、基準電圧選択型のDA変換回路において、選択される階調ごとにトランジスタスイッチのトランジスタサイズを異ならせるか、または選択される階調ごとに基準電圧線の線幅を異ならせるようにしたことにより、トランジスタの構造を小さくしたり、階調数分の基準電圧線のトータルの線幅を狭くできるため、回路規模の縮小化が図れる。また、このDA変換回路を表示パネル上に画素部の周辺回路として搭載した表示装置にあっては、表示パネルの狭額縁化、さらには多階調化が容易に実現できる。

【0088】また、基準電圧選択型のDA変換回路において、選択される階調ごとに各分割抵抗の抵抗値を異ならせるか、または外部から入力される複数の基準電圧のうち特定の階調の基準電圧については階調数分の基準電圧の1つとして直接出力するようにしたことにより、分割抵抗に流れる直流電流を少なくできるため、低消費電力化が図れる。また、このDA変換回路を画素部の周辺回路として搭載した表示装置にあっては、システム全体の低消費電力化を実現できる。

【図面の簡単な説明】

【図1】本発明に係る駆動回路一体型液晶表示装置のシステム構成例を示すブロック図である。

40 【図2】有効画素領域における各画素の構成の一例を示す等価回路図である。

【図3】基準電圧選択型DA変換回路の基本構成の一例を示すブロック図である。

【図4】DAC回路部の第1具体例を示す回路図である。

【図5】DAC回路部の第2具体例を示す回路図である。

【図6】DAC回路部の第3具体例を示す回路図である。

【図7】DAC回路部の第4具体例を示す回路図であ

る。

【図8】DAC回路部の第5具体例を示す回路図である。

【図9】本発明の第1実施形態に係るDA変換回路の構成の概略を示すDAC回路部のパターン図である。

【図10】本発明の第2実施形態に係るDA変換回路の構成の概略を示すDAC回路部のパターン図である。

【図11】本発明の第3実施形態に係るDA変換回路の構成の概略を示す配線部のパターン図である。

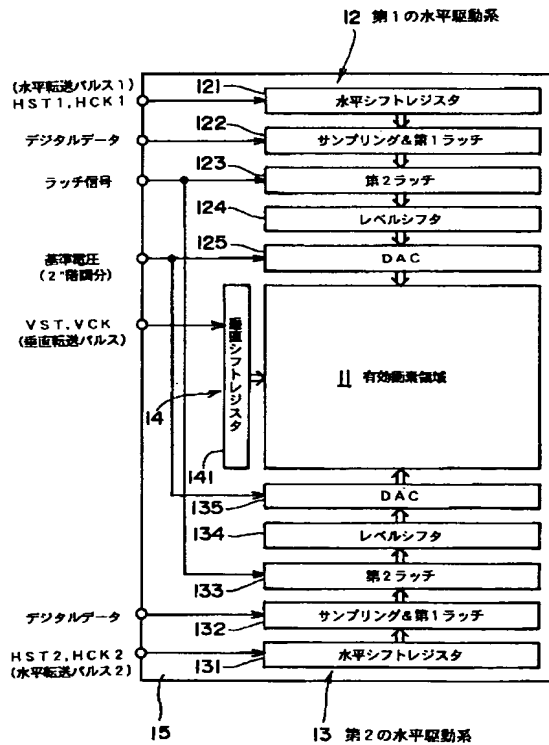
【図12】従来例の場合(A)と本発明の場合(B)との対比例を示す図である。

【図13】従来例に係る抵抗分割回路部の構成を示す回路図である。

【図14】液晶のV-R特性(ガンマ特性)を示す特性図である。

【図15】本発明の第4実施形態に係るDA変換回路の*

【図1】



*抵抗分割回路部の構成を示す回路図である。

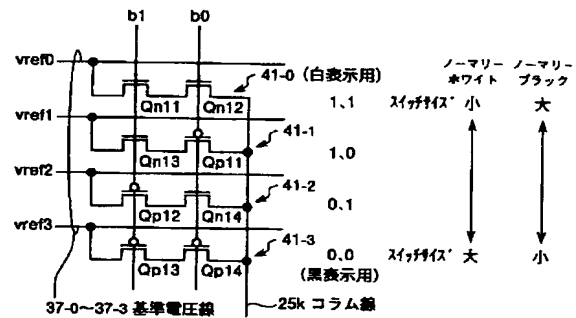
【図16】第4実施形態に係る抵抗分割回路部の変形例の構成を示す回路図である。

【図17】第4実施形態に係る抵抗分割回路部の他の変形例の構成を示す回路図である。

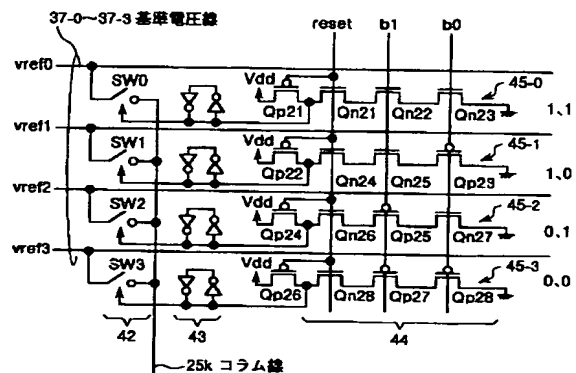
【符号の説明】

11…有効画素領域(画素部)、12, 13…第1, 第2の水平駆動系、14…垂直駆動系、15…LCDパネル、20…画素、21…TFT(薄膜トランジスタ)、22…液晶セル、25k, 25n…コラム線、31…基準電圧発生回路部、32, 32', 32A, 32B, 32C…抵抗分割回路部、33…配線部、34, 35…DAC回路部、37-1~37-15…基準電圧線、38-1~38-15…引き回し線、41-0~41-3, 45-0~45-3, 46-0~46-3, 47-0~47-3, 48-0~48-3…階調選択ユニット

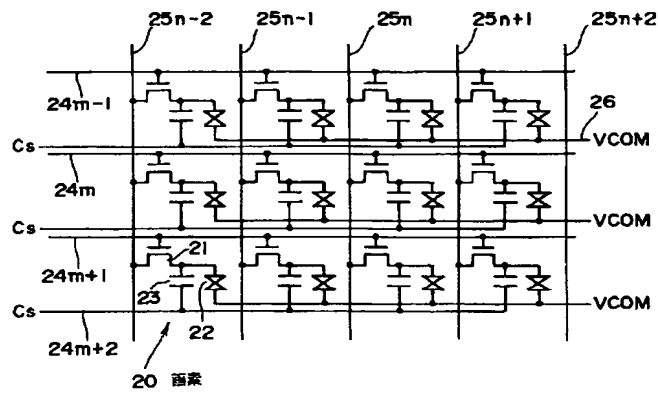
【図4】



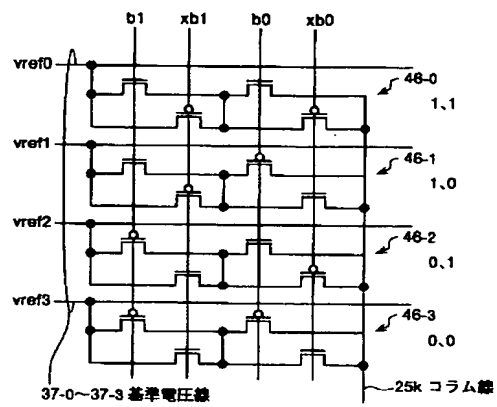
【図5】



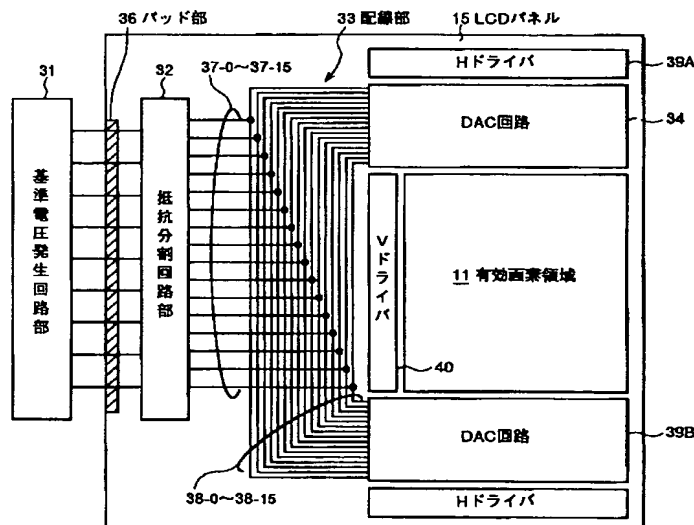
【図2】



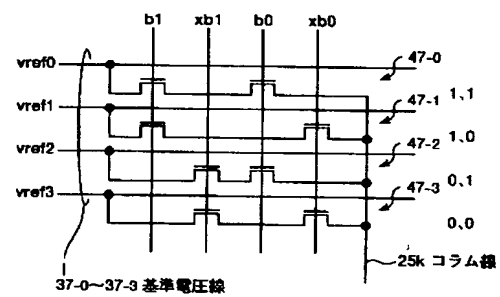
【図6】



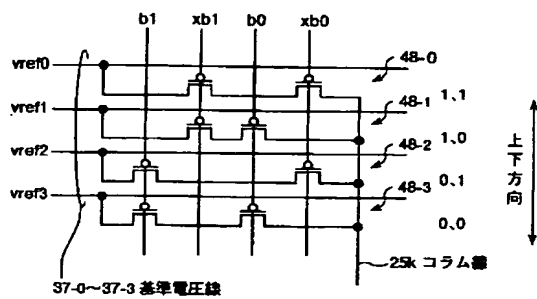
【図3】



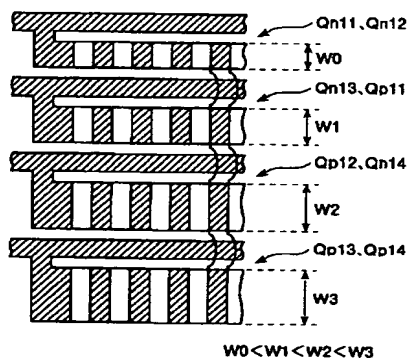
【図7】



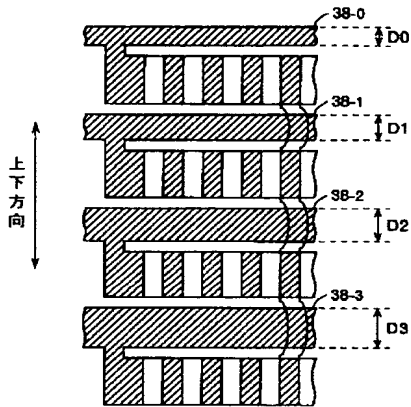
【図8】



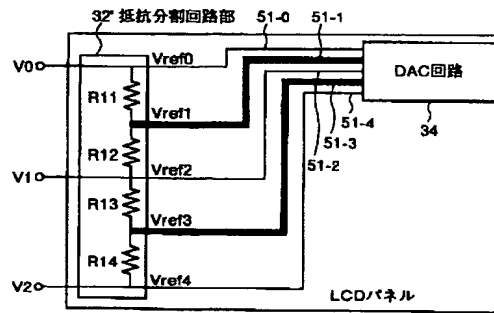
【図9】



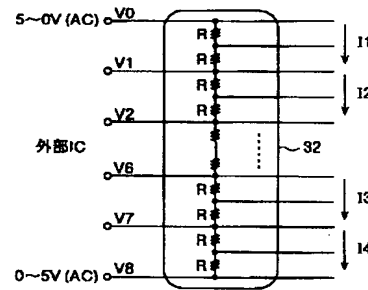
【図10】



【図11】



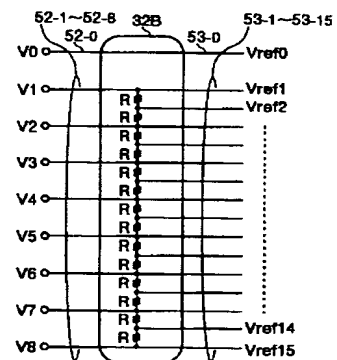
【図13】



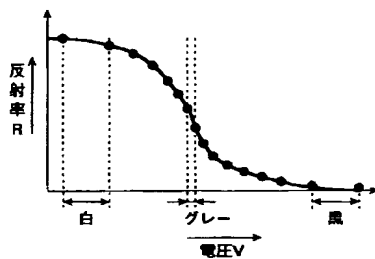
【図12】

(A) 従来例			(B) 本発明		
	基準電圧幅 (μm)	DAC SW W(μm)		基準電圧幅 (μm)	DAC SW W(μm)
Vref0 (黒)	65	110		65	90
Vref1	65	110		40	90
Vref2	65	110		65	80
Vref3	65	110		40	80
Vref4	65	110		65	80
Vref5	65	110		40	80
Vref6	65	110		65	80
Vref7	65	110		40	80
Vref8	65	110		65	80
Vref9	65	110		40	80
Vref10	65	110		65	80
Vref11	65	110		40	80
Vref12	65	110		65	80
Vref13	65	110		40	80
Vref14	65	110		65	110
Vref15 (白)	65	110		40	110
Total (μm)	1040	1780		840	1380
DAC回路幅		2800			2200

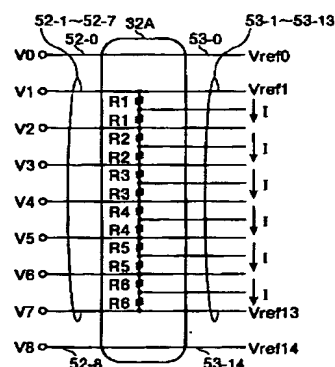
【図16】



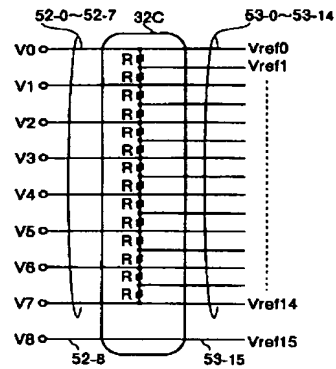
【図14】



【図15】



【図 17】



フロントページの続き

(51)Int.Cl.

識別記号

F I

テーマコード (参考)

G 0 9 G 3/36

G 0 9 G 3/36

H 0 3 M 1/74

H 0 3 M 1/74

(72)発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

F ターム (参考) 2H093 NA31 NA43 NA51 NC22 NC23

NC26 ND06 ND39 ND50 ND60

5C006 AA16 AC21 AF83 BB11 BC12

BF34 BF43 FA41

5C080 AA06 AA10 BB05 DD22 DD30

EE29 FF03 FF09 GG11 JJ02

JJ03 JJ05

5J022 AB03 BA06 CA09 CA10 CE08

CF07 CF09 CG01 CG04